

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-216688

(43)Date of publication of application : 04.08.2000

(51)Int.Cl.

H03M 13/23  
H04L 1/00

(21)Application number : 11-012771 (71)Applicant : NEC ENG LTD

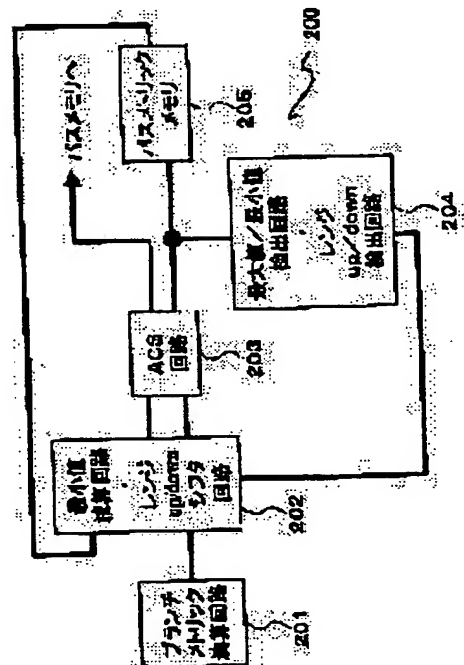
(22)Date of filing : 21.01.1999 (72)Inventor : MIZUNO TAKANORI  
IMAEDA YOSHITERU

## (54) ERROR CORRECTION CIRCUIT

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To reduce the capacity of a path metric memory without degrading precision of decoding in an error correction circuit, especially in a Viterbi decoding circuit.

**SOLUTION:** A circuit 202 that conducts range up/down of a path metric value is added before/after an ACS circuit 203 that conducts addition and comparison of a branch metric arithmetic value and a preceding path metric value and selection of a maximum likelihood path so as to effectively use bits of a RAM by increasing a range when it is required to extend an effective digit of the path metric value so as to degrade precision of the effective digit of the input data and decreasing the range when and of the effective digit of the path metric value is not used so as to increase the precision of the input data.



## LEGAL STATUS

[Date of request for examination] 27.02.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]



(2)

## 【特許請求の範囲】

【請求項1】 ブランチメトリック演算回路、ACS回路及びパスメトリックメモリを含むビタビ復号方式による誤り訂正回路において、

前記ブランチメトリック演算回路及び前記ACS回路間に最小値減算回路・レンジup/downシフト回路を設け、

前記ACS回路の出力を最大値/最小値検出回路・レンジup/down検出回路を介して前記最小値減算回路・レンジup/downシフト回路に送出することを特徴とする誤り訂正回路。

【請求項2】 前記最小値減算回路・レンジup/downシフト回路は、減算回路と、第1及び第2up/downシフトとを有することを特徴とする請求項1に記載の誤り訂正回路。

【請求項3】 前記最大値/最小値検出回路・レンジup/down検出回路は、最大値及び最小値レジスタを含む最大値/最小値検出回路、レンジup/down条件比較回路、シフト信号レジスタ及びup/downカウンタを有することを特徴とする請求項1又は2に記載の誤り訂正回路。

【請求項4】 前記ブランチメトリック演算回路は複数の加算器を含み、前記ACS回路も対応する複数のACS回路を有し、複数の並列処理を行うことを特徴とする請求項1、2又は3に記載の誤り訂正回路。

【請求項5】 ビタビ復号方式を用いる誤り訂正回路において

ブランチメトリックとパスメトリックを加算する演算手段の前に前記ブランチメトリック及びパスメトリックのダイナミックレンジを変更する手段と、全ての新パスメトリックから次ACS処理においてダイナミックレンジを変更する必要性の有無を検出し、次ACS処理の間記憶する手段と、を備えることを特徴とする誤り訂正回路。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、誤り訂正回路、特にビタビ(viterbi)復号方式を用いるパスメトリック演算回路の誤り訂正回路に関する。

【0002】

【従来の技術】 パスメトリック演算方式は、例えば特開昭62-77717号公報の「メトリック演算方式」や特開平6-164423号公報の「ビタビ復号器」に開示されており周知である。

【0003】 斯る従来のパスメトリック演算方式においては、パスメトリックの値を演算するACS(Association Control Service)回路又はブランチメトリック演算回路のどちらかにおいて、パスメトリックの最小値を引くのが一般的である。これにより、パスメトリックメモリのオーバーフローを

防止することができる。

【0004】 図8に、従来技術のブロック図を示す。この従来技術は、ブランチメトリック演算回路101と最小値減算回路102の出力を、ACS回路103に入力し、その出力をパスメトリックメモリ105を介して最小値減算回路102へ帰還する。また、ACS回路103の出力は、最小値検出回路104を介して最小値減算回路102へ入力されるよう構成している。

【0005】

【発明が解決しようとする課題】 従来技術の第1の問題点は、パスメトリックメモリのビットが有効に使用されていないことである。その理由は、通常パスメトリックメモリのビット長は、入力されるデータに対して最大の符号間距離分のビット数を足したものが使用される。しかし、実際には、C/Nの悪いところでは、このビット長が有効に使用されなくなる為である。即ち、メモリで実際に使用されるデータは、C/Nの良いところでは拘束長によって違いがあるものの、パスメトリックメモリのビット長が適切な値になっていれば、そのビット長は全て使用される。何故なら、C/Nのよいところでは、有効なパスでパスメトリック値がとり得る最大の値となり、無効なパスでは、その値はとり得る最小の値となるからである。この為に、パスメトリック値は、オーバーフロー対策としての「前パスメトリック値-最小のパスメトリック値=新パスメトリック値」という演算を行っても、そのビット長は有効に使用されることとなる。反対に、C/Nの悪いところでは、これら有効なパスと無効なパスのパスメトリック値が近づいてくる為に、上述の演算による新パスメトリック値は小さくなり、パスメトリックメモリのビット長が有効に使用されなくなる。

【0006】 また、従来技術の第2の問題点は、ビタビアルゴリズムにおける誤り訂正回路において、入力されるデータの判定ビット数を増やすと、パスメトリック値を一時記憶させておく為に必要なメモリが非常に大きくなるということである。その理由は、ビタビアルゴリズムでは拘束長Nに対してパスメトリック値は、その状態数分、即ち $2^{N-1}$ 必要となるからである。具体例を挙げると、拘束長が9の場合には、その状態数は $2^9 - 1 = 255$ 状態あるので、有効精度を1ビット上げたとしても、256ビット分のメモリが必要となる。

【0007】 従って、本発明の目的は、パスメトリックの一時記憶に必要なメモリの量を低減して、回路規模を小さくし、構成の簡易化が可能な誤り訂正回路を提供することである。

【0008】

【課題を解決するための手段】 前述の課題を解決するため、本発明による誤り訂正回路は、次のような特徴的な構成を採用している。

【0009】 (1) ブランチメトリック演算回路、AC

(3)

3

S回路及びバスメトリックメモリを含むビタビ復号方式による誤り訂正回路において、前記ブランチメトリック演算回路及び前記ACS回路間に最小値減算回路・レンジup/downシフト回路を設け、前記ACS回路の出力を最大値/最小値検出回路・レンジup/down検出回路を介して前記最小値減算回路・レンジup/downシフト回路に送出する誤り訂正回路。

【0010】(2) 前記最小値減算回路・レンジup/downシフト回路は、減算回路と、第1及び第2up/downシフトとを有する上記(1)の誤り訂正回路。

【0011】(3) 前記最大値/最小値検出回路・レンジup/down検出回路は、最大値及び最小値レジスタを含む最大値/最小値検出回路、レンジup/down条件比較回路、シフト信号レジスタ及びup/downカウンタを有する上記(1)又は(2)の誤り訂正回路。

【0012】(4) 前記ブランチメトリック演算回路は複数の加算器を含み、前記ACS回路も対応する複数のACS回路を有し、複数の並列処理を行う上記(1)、(2)又は(3)の誤り訂正回路。

【0013】(5) ビタビ復号方式を用いる誤り訂正回路においてブランチメトリックとバスメトリックを加算する演算手段の前に前記ブランチメトリック及びバスメトリックのダイナミックレンジを変更する手段と、全ての新バスメトリックから次ACS処理においてダイナミックレンジを変更する必要性の有無を検出し、次ACS処理の間記憶する手段とを備える誤り訂正回路。

【0014】

【発明の実施の形態】以下、本発明の誤り訂正回路の好適実施形態例の構成及び動作を添付図1乃至図7を参照して詳細に説明する。

【0015】先ず、図1は、本発明の誤り訂正回路の好適実施形態例のブロック図を示す。この誤り訂正回路200は、ブランチメトリック演算回路201、最小値減算回路・レンジup/downシフト回路202、ACS回路203、最大値/最小値検出回路レンジup/down検出回路204及びバスメトリックメモリ205より構成される。

【0016】ブランチメトリック演算回路201は、受信データからブランチメトリックを演算又は算出する。最小値減算回路・レンジup/downシフト回路202は、前バスメトリック値から前バスメトリック値の最小値を減算し、更にレンジアップ(レンジダウン)信号を受け、前バスメトリック値の最小値が減算されたバスメトリック値、ブランチメトリック値を夫々レンジアップ(レンジダウン)する。ACS回路203は、前バスメトリック値とブランチメトリック値とを加算し、夫々の加算値を比較し、最大となるバスメトリック値を選択する。また、この選択された新バスメトリック、バスメ

4

択信号を出力する。

【0017】最大値/最小値検出回路・レンジup/down検出回路204は、1ビット分のACS処理で最大のバスメトリック値及び最小のバスメトリック値を検出し、レンジアップ(レンジダウン)の判定を行う。レンジアップ(レンジダウン)信号及び最小値を最小値減算回路・レンジup/downシフト回路202に送る。バスメトリックメモリ(記憶手段)205は、算出されたバスメトリックを保持する。

【0018】図1に示す、本発明の誤り訂正回路200によると、バスメトリックの最小値を減算するのみであった従来の減算回路に代って、本発明では、レンジup/down機能を追加した最小値減算回路・レンジup/downシフト回路202を使用することを1つの特徴とする。

【0019】また、新バスメトリックの最小値を検出するのみであった最小値検出回路に代って、最大値をも検出することにより、レンジup/downを検出し、レンジup/down信号を送出する機能を追加した最大値/最小値検出回路・レンジup/down検出回路204を設けたことが、本発明の誤り訂正回路200の他の特徴である。

【0020】図2は、図1の誤り訂正回路200の最小値減算回路・レンジup/downシフト回路202の詳細回路ブロック図を示す。減算回路301、up/downシフト302及びup/downシフト303を有する。減算回路301は、前バスメトリック値から前バスメトリック最小値を減算する。up/downシフト302は、up信号を受けると、入力データを1/2し、down信号を受けると、入力データを2倍して、ACS回路203へ送出する。他方、up/downシフト303は、シフト量乗数Sに従って、ブランチメトリック値を2<sup>S</sup>倍、又は(1/2)<sup>S</sup>してACS回路203に送出する。

【0021】次に、図4は、図1の誤り訂正回路200の最大値/最小値検出回路、レンジup/down検出回路204の詳細ブロック図である。この最大値/最小値検出回路・レンジup/downシフト回路204は、最大値/最小値検出回路401、レンジup/down条件比較回路402、シフト信号レジスタ403及びup/downカウンタ404を有する。最大値/最小値検出回路401は、復号データ1ビット分のACS処理において求められた新バスメトリックの中から最大値及び最小値を検出する回路である。ここで、検出された最大値及び最小値は、夫々最大値レジスタ(reg)及び最小値レジスタに格納される。最大値/最小値検出回路401で検出された最大値及び最小値は、共にレンジup/down条件比較回路402に送られる。この比較回路402で、レンジup/downの検出が行われる。

(4)

5

【0022】(前パスメトリック最大値-前パスメトリック最小値)÷ブランチメトリック最大値がメモリに格納し得る最大値よりも大きくなったとき、比較回路402はレンジアップ信号をシフト信号レジスタ403及びアップダウン(up/down)カウンタ404に出力する。

【0023】(前パスメトリック最大値-前パスメトリック最小値)×2+ブランチメトリック最大値がメモリに格納し得る最大値よりも小さくなったとき、比較回路402は、レンジダウン信号をシフト信号レジスタ403及びアップダウンカウンタ404に出力する。尚、ブランチメトリック最大値は、ブランチメトリック演算回路201より出力されるブランチメトリック値のとり得る最大値をシフト量乗数Sにより、シフトアップ/シフトダウンしたものである。

【0024】シフト信号レジスタ403は、復号データ1ビット分のACS処理終了時にシフトアップ信号又はシフトダウン信号をラッチし、復号データ1ビット分の次ACS処理中、この信号を保持する。同様に、アップダウンカウンタ404は、復号データ1ビット分のACS処理終了時にシフトアップ信号又はシフトダウン信号を検出し、+1カウントアップ又は-1カウントダウンを行う。復号データ1ビット分の次ACS処理中、カウンタ値がシフト量乗数Sとして出力する。

【0025】次に、図1乃至図3を参照して、本発明の誤り訂正回路200の動作を説明する。受信データが入力されると、ブランチメトリック演算回路201は、生成多項式に従い、ブランチメトリック値を算出する。このブランチメトリック演算回路201にて算出されたブランチメトリック値は、前パスメトリック値と共に最小値減算回路・レンジup/downシフト回路202へ入力される。最小値減算回路・レンジup/downシフト回路202では、毎ACS時に、前パスメトリック値-前パスメトリック最小値の演算が行われる。

【0026】更に、最大値/最小値検出回路・レンジup/down検出回路204からのup信号(又はdown信号)により、パスメトリック値をレンジアップ(又はレンジダウン)し、シフト量乗数Sによりブランチメトリック値をシフトする。これにより、ACS部203で算出される新パスメトリック値は、レンジアップ又はレンジダウンされることになる。

【0027】先ず、レンジアップ動作について説明する。最大値/最小値検出回路・レンジup/down検出回路204において、(前パスメトリック最大値-前パスメトリック最小値)+ブランチメトリック最大値>パスメトリックメモリ205のメモリに格納し得る最大値となった場合、up信号が出力され、シフト量乗数Sの値が+1されて出力される。

【0028】これにより、図4に示すレンジアップ動作のように、減算後のパスメトリック値が1ビットシフト

6

され、そのレンジが2倍に広げられる。ブランチメトリック値は、反対に1/2倍され、その有効桁は、1ビット減少する。以後、ACS処理が行われ、再びup信号が出力されると、パスメトリック値は、同様に1ビットシフトされ、そのレンジは更に2倍に広げられる。また、ブランチメトリック値の有効桁は、更に1ビット減少する。ここで、up信号(又はdown信号)が出力されないときでも、ブランチメトリック値は、シフト量乗数Sにより、シフトされることに注意されたい。

【0029】次に、レンジダウン動作について説明する。最大値/最小値検出回路・レンジup/down検出回路204において(前パスメトリック最大値-前パスメトリック最小値)×2+ブランチメトリック最大値<パスメトリックメモリ205のメモリに格納し得る最大値となった場合には、down信号が出力され、シフト量乗数Sの値が-1されて出力される。

【0030】これにより、図4に示すレンジダウン動作、即ち減算後のパスメトリック値がレンジアップ時と逆方向に1ビットシフトされ、そのレンジが1/2倍に狭められる。反対に、ブランチメトリック値は2倍され、その有効桁は1ビット増加する。以後、ACS処理が行われる。再びdown信号が出力されると、パスメトリック値は更に1ビットシフトされ、そのレンジが更に1/2倍に狭められ、ブランチメトリック値の有効桁は、更に1ビット増加する。

【0031】最小値減算回路・レンジup/downシフト回路202にて、減算シフトされたパスメトリック値及びブランチメトリック値は、ACS回路203に入力される。ACS回路203では、入力されたパスメトリック値及びブランチメトリック値が加算され、各状態が夫々遷移する2つの前状態からのパスより導出された新パスメトリック値間で比較が行われる。

【0032】更に、この比較によって最大パスとして選ばれた新パスメトリック値を、その状態における新パスメトリック値として、パスメトリックメモリ205へ出力する。また、選択信号、即ち比較結果は、パスメトリックメモリ(図示せず)へ出力される。

【0033】また、最大値/最小値検出回路・レンジup/down検出回路204から出力されるup信号(又はdown信号)、シフト量乗数Sは、復号データ1ビット分のACS処理の間、その値が保持される。

【0034】次に、本発明の誤り訂正回路を、拘束長7、符号化率1/2のビタビ符号器に適用した場合について、構成及び動作を説明する。この場合、ブランチメトリック演算回路201は、7ビットの受信データからブランチメトリックを算出して、8ビットのブランチメトリック演算値を出力する。最小値減算回路・レンジup/downシフト回路202は、前パスメトリック値から前パスメトリック値の最小値を減算し、更にレンジアップ(レンジダウン信号)及びシフト量乗数Sを受

(5)

7

け、前パスメトリック値の最小値が減算されたパスメトリック値、ブランチメトリック値を夫々レンジアップ（レンジダウン）する。

【0035】ACS回路203は、前パスメトリック値とブランチメトリック値を加算して、各加算値を比較、最大となるパスメトリック値を選択し、この選択された新パスメトリック（12ビット）、1ビットのパス選択信号をパスメモリへ出力する。最大値／最小値検出回路・レンジup/down検出回路204は、1ビット分のACS処理で最大のパスメトリック値、最小のパスメトリック値を検出し、レンジアップ（レンジダウン）の判定を行う。これらレンジアップ（レンジダウン）信号及び、最小値を最小値減算回路・レンジup/downシフト回路202に送る。算出された12ビットのパスメトリック値は、パスメトリックメモリ205に保持される。

【0036】動作を説明すると、受信データが判定7ビットデータとして入力されると、ブランチメトリック演算回路201は、生成多項式に従って、8ビットのブランチメトリック値を出力する。ここで、パスメトリック値を12ビットとする。ブランチメトリック演算回路201にて算出されたブランチメトリック値は、前パスメトリック値と共に最小値減算回路・レンジup/downシフト回路202へ入力される。最小値減算回路・レンジup/downシフト回路202では、毎ACS時に、前パスメトリック値－前パスメトリック最小値の演算が行われる。

【0037】更に、最大値／最小値検出回路・レンジup/down検出回路204からのup信号（又はdown信号）により、パスメトリック値をレンジアップ（又はレンジダウン）し、シフト量乗数Sにより、ブランチメトリック値をシフトする。これにより、ACS回路203で算出される新パスメトリック値はレンジアップ又はレンジダウンされることになる。

【0038】ここで、レンジアップ及びレンジダウン動作は上述のとおりであるので、省略する。最小値減算回路・レンジup/downシフト回路202にて減算シフトされたパスメトリック値及びブランチメトリック値は共にACS回路203に入力され、上述の如く、加算、比較、選択処理が行われるが、これらの処理は、図5のトレリス線図に従う。

【0039】最大値／最小値検出回路・レンジup/down検出回路204から出力されるup信号（down信号）及びシフト量乗数Sは、復号データ1ビット分のACS、即ち拘束長7の場合、全64状態のACS処理の間その間が保持される。

【0040】上述した実施形態例にあっては、1ACSによる時分割のACSを例として説明したが、本発明は斯る特定例のみに限定されるべきでないこと勿論である。同様に並列処理によるビタビ復号器においても、最

8

小値減算回路・レンジup/downシフト回路及び最大値／最小値検出回路を設けることにより同様の処理を行うことが可能である。

【0041】並列処理の場合のブロック図は、図1に示すブロック図と基本的には同じである。4並列処理のブランチメトリック演算回路201'及びACS回路203'のブロック図を夫々図6及び図7に示す。図6及び図7から明らかな如く、同様回路を4個並列配置して4並列処理を行う。

【0042】先ず、ブランチメトリック演算回路201'は加算器1乃至4を有し、加算器1及び2には前状態G(0)が直接入力され、加算器3及び4には、前状態G(0)がNOT回路（インバータ）NOT1を介して入力される。また、前状態G(1)が加算器1及び3に直接入力され、加算器2及び4にNOT回路NOT2を介して入力される。これら各加算器1～4は、ブランチメトリックBM1～BM4を出力する。ACS回路203'は、4個のACS1～4を有する。

【0043】上述したブランチメトリックBM1及びBM4は、ACS1及びACS2に入力される。ブランチメトリックBM2及びBM3は、ACS3及びACS4に入力される。また、各ACS1～4にパスメモリと、パスメトリックメモリ1～4に算出したパスメトリックを出力する。

【0044】尚、パスメトリックメモリ1は、ACS1及びACS2へ帰還される。パスメトリックメモリ2は、ACS3及びACS4へ帰還される。パスメトリックメモリ3は、ACS1及びACS2へ帰還される。また、パスメトリックメモリ4は、ACS3及びACS4へ帰還されるよう構成されている。

【0045】以上、本発明の誤り訂正回路の好適実施形態例及び変形例を詳述したが、本発明の要旨を逸脱することなく、種々の変形変更が可能であることが当業者には理解できよう。

【0046】

【発明の効果】上述の説明から理解される如く、本発明の誤り訂正回路によると、オーバーフローが生じたときは、ダイナミックレンジを拡張、ブランチメトリック演算値の有効桁を相対的に下げ、オーバーフローが生じないときは、ダイナミックレンジを狭めて有効桁を相対的に上げる動作をするので、C/Nが良いか悪いかに関わらず、メモリのビットを有効に使用することができる。その為に、今まで余り使用されていなかった部分を削除することができる。更に、同じ容量のメモリを搭載する場合には、従来技術よりも高精度の復号が可能となるという実用上の顕著な効果を有する。

【図面の簡単な説明】

【図1】本発明による誤り訂正回路の好適実施形態例のブロック図である。

【図2】図1に示す誤り訂正回路の最小値減算回路・レ

(6)

9

レンジup/downシフト回路の詳細ブロック図である。

【図3】図1に示す誤り訂正回路の最大値/最小値検出回路・レンジup/down検出回路のブロック図である。

【図4】本発明による誤り訂正回路のレンジアップ及びレンジダウン動作説明図である。

【図5】拘束長7の場合のトレリス線図である。

【図6】4並列処理時の本発明による誤り訂正回路のブランチメトリック減算回路のブロック図である。

【図7】4並列処理時の本発明による誤り訂正回路のACS回路及び関連回路のブロックである。

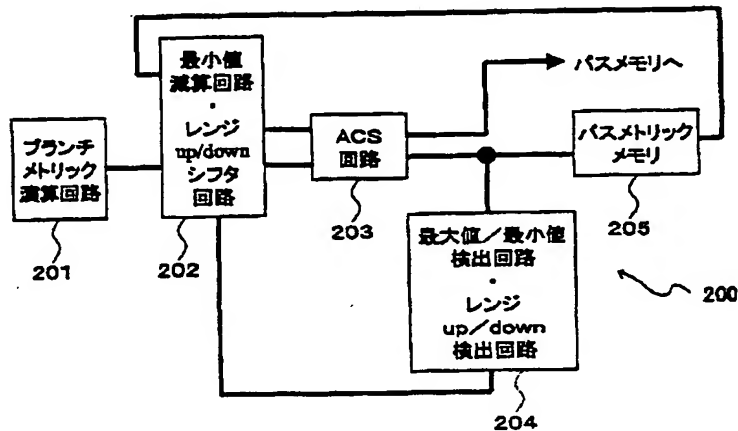
10

【図8】従来の誤り訂正回路のブロック図である。

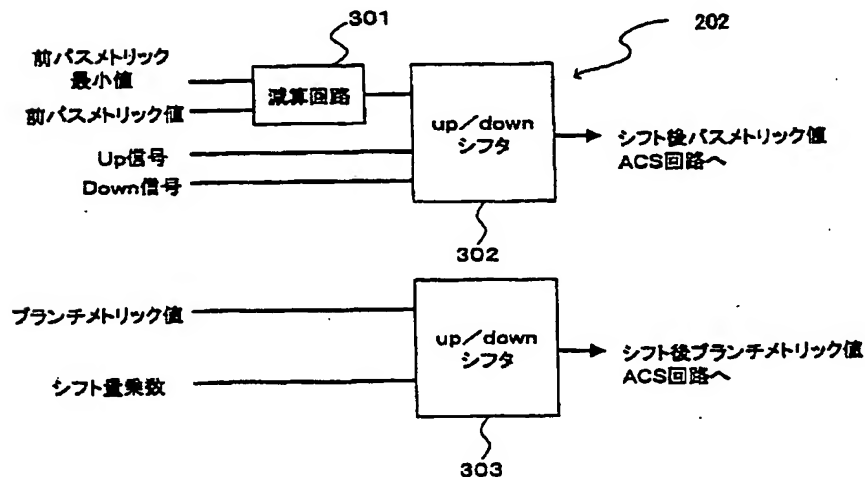
【符号の説明】

200	誤り訂正回路
201	ブランチメトリック演算回路
202	最小値減算回路・レンジup/downシフト回路
203	ACS回路
204	最大値/最小値検出回路・レンジup/down検出回路
205	バスメトリックメモリ
301	減算回路
302、303	up/downシフト

【図1】

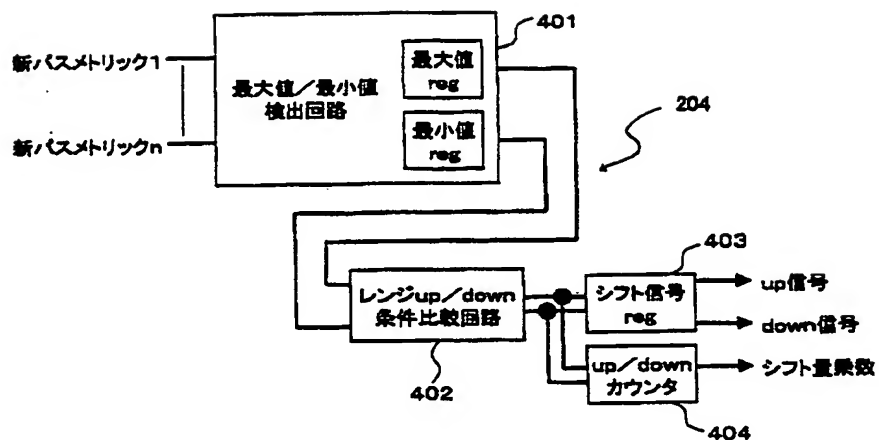


【図2】

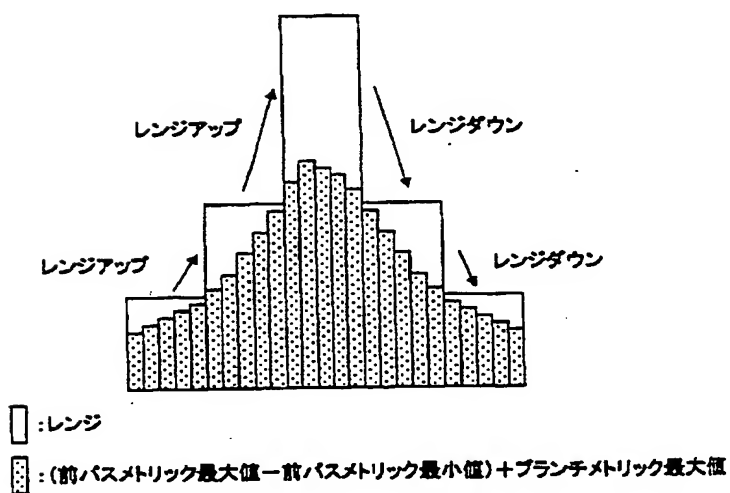


(7)

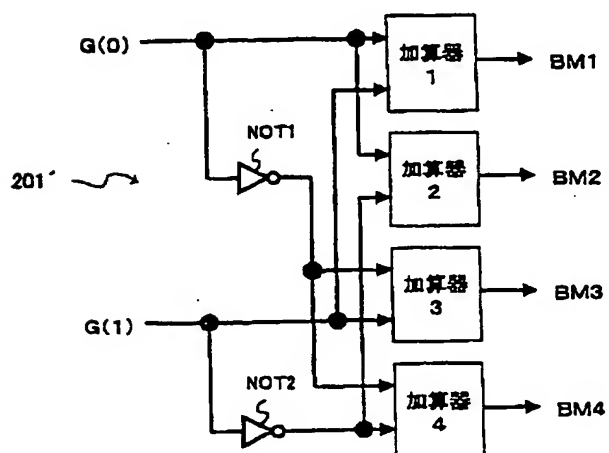
【図3】



【図4】



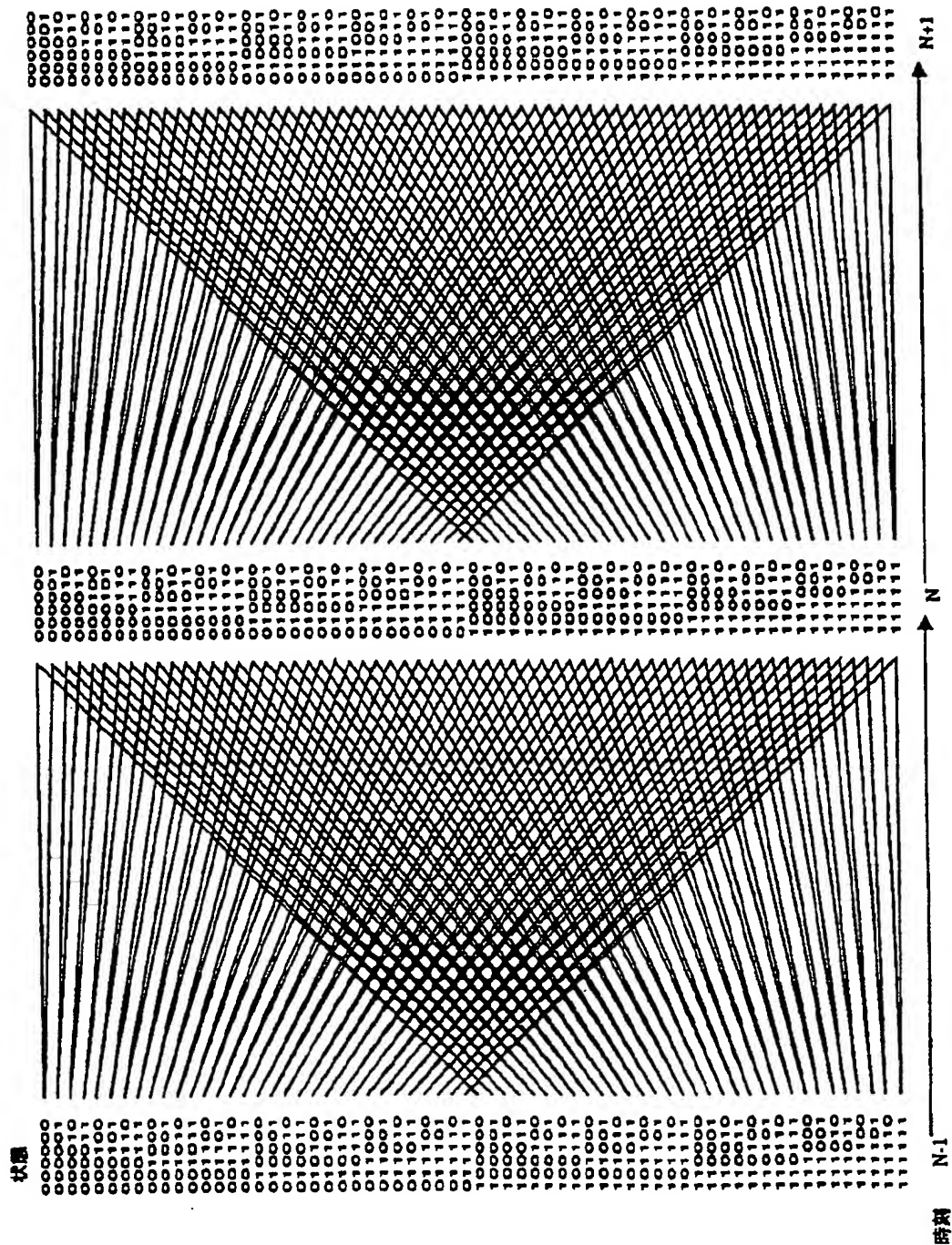
【図6】





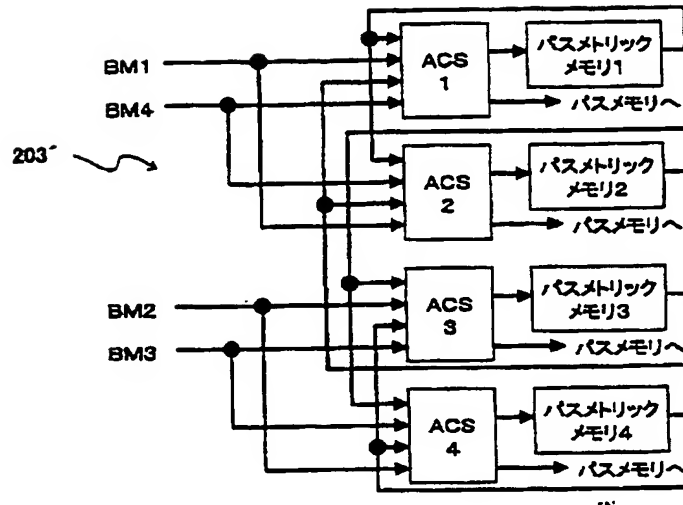
(8)

【図5】

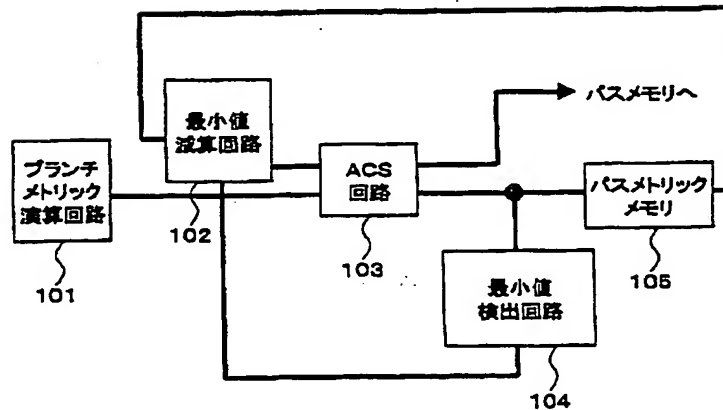


(9)

【図7】



【図8】



## 【手続補正書】

【提出日】平成11年5月14日（1999. 5. 14）

## 【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】 斯る従来のバスメトリック演算方式にあっては、バスメトリックの値を演算するACS（Add Compare Select）回路又はブランチメトリック演算回路のどちらかにおいて、バスメトリックの最小値を引くのが一般的である。これにより、バスメトリックメモリのオーバーフローを防止することができる。

(10)

フロントページの続き

Fターム(参考) 5J065 AB01 AC01 AD10 AE06 AF03  
AG05 AH02 AH05 AH06 AH09  
AH15 AH23  
5K014 AA05 BA11 EA00 EA01